

平成20年(行ケ)第10357号 審決取消請求事件

平成21年3月17日判決言渡,平成21年2月24日口頭弁論終結

判 決

原 告 富士電機デバイステクノロジー株式会社

訴訟代理人弁理士 松本洋一

被 告 特許庁長官

指定代理人 北島健次,河合章,安田雅彦,山本章裕,森山啓

主 文

原告の請求を棄却する。

訴訟費用は,原告の負担とする。

事実及び理由

第1 原告の求めた裁判

「特許庁が不服2006-5772号事件について平成20年8月18日にした審決を取り消す。」との判決

第2 事案の概要

本件は,富士電機株式会社がした後記特許出願(以下「本願」という。)について,同社から特許を受ける権利を承継した原告が,本願に対する拒絶査定を不服として審判請求をしたが,同請求は成り立たないとの審決がされたため,その取消しを求める事案である。

1 特許庁における手続の経緯

(1) 本願(甲1)

出願人:富士電機株式会社

発明の名称:「レベルシフタ」

出願番号:特願平11-93468号

出願日:平成11年3月31日

原告が特許を受ける権利を一般承継した日:平成15年10月1日(会社分割。)

甲 6)

原告を承継人とする出願人名義変更届（一般承継）の提出日：平成 1 5 年 1 1 月 7 日（甲 4 ）

手続補正日：平成 1 7 年 7 月 7 日（甲 2。なお，以下，本願に係る図面に言及するときは，同手続補正後の図面（図 5 ，図 7 及び図 1 1 につき甲 2 ，その余につき甲 1 ）を指す。）

拒絶査定：平成 1 8 年 2 月 2 1 日付け

(2) 審判請求手続

審判請求日：平成 1 8 年 3 月 3 0 日（不服 2 0 0 6 - 5 7 7 2 号）

手続補正日：平成 1 8 年 4 月 2 7 日（甲 3。以下「本件補正」という。なお，以下，単に「発明の詳細な説明」というときは，本願に係る本件補正後の明細書（甲 3。以下「本願明細書」という。）に記載されたものを指し，また，単に「特許請求の範囲」，「請求項 1 」などというときも，本件補正後のもの（本願明細書に記載されたもの）を指す。）

審決日：平成 2 0 年 8 月 1 8 日

審決の結論：「本件審判の請求は，成り立たない。」

審決謄本送達日：平成 2 0 年 9 月 2 日

2 特許請求の範囲（請求項 1 ）の記載（以下，同請求項に記載された発明を「本願発明」という。なお，請求項 2 ないし請求項 7 については，記載を省略する。）

「【請求項 1】 半導体基板上に形成されるパワーデバイス制御駆動用のレベルシフトにおいて，

中間電位回路と電氣的に一端が接続されるレベルシフト抵抗と，

前記レベルシフト抵抗の他端と電氣的に一端が接続される高耐圧ピンチ抵抗領域と，

前記レベルシフト抵抗の他端と前記高耐圧ピンチ抵抗領域の一端との間に接続さ

れる出力端子と、

前記高耐圧ピンチ抵抗領域の他端と電氣的にドレイン領域が接続される N チャンネルの電界効果トランジスタ領域とを有し、

前記電界効果トランジスタ領域のソース領域が低電位回路に接続されることを特徴とするレベルシフト。」

3 審決の理由の要旨

審決は、本願発明は発明の詳細な説明に記載されたものでないから、平成 14 年法律第 24 号による改正前の特許法（以下、単に「特許法」という。）36 条 6 項 1 号に規定する要件（いわゆるサポート要件）を満たしていないと判断した。

審決の理由中、上記判断に係る部分は、以下のとおりである。

(1) そこで、本願の特許請求の範囲の記載が、特許法 36 条 6 項 1 号に規定する要件を満たしているか否かについて以下に検討する。

まず、請求項 1 の記載に基づいて分析すると、本願発明は以下のとおりである。

(構成 a) 「半導体基板上に形成されるパワーデバイス制御駆動用のレベルシフト」に関する発明である。

(構成 b) 「中間電位回路と電氣的に一端が接続されるレベルシフト抵抗」を有するものである。

(構成 c) 「前記レベルシフト抵抗の他端と電氣的に一端が接続される高耐圧ピンチ抵抗領域」を有するものである。

(構成 d) 「前記レベルシフト抵抗の他端と前記高耐圧ピンチ抵抗領域の一端との間に接続される出力端子」を有するものである。

(構成 e) 「前記高耐圧ピンチ抵抗領域の他端と電氣的にドレイン領域が接続される N チャンネルの電界効果トランジスタ領域」を有するものである。

(構成 f) 「前記電界効果トランジスタ領域のソース領域が低電位回路に接続される」ものである。

(2) ここにおいて、本願発明の「レベルシフト抵抗」についてみると、当該「レベルシフ

ト抵抗」は、その一端が「中間電位回路」と電氣的に接続され、他端が「高耐圧ピンチ抵抗領域」に接続されていることが明らかである。

また、本願発明の「高耐圧ピンチ抵抗領域」についてみると、当該「高耐圧ピンチ抵抗領域」は、その一端が「レベルシフト抵抗」と電氣的に接続され、他端が「Nチャネル電界効果トランジスタ領域」の「ドレイン領域」と電氣的に接続されていることが明らかである。

(3) そこで、本願発明における「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャネル電界効果トランジスタ領域」の接続関係について整理すると、これら3つの要素は、上記(2)に記載された電氣的な接続関係が特定されているのみであり、その空間的な配置、すなわち、「半導体基板」において、「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャネル電界効果トランジスタ領域」がどのような場所に形成され、互いにどのような位置関係を有するのかについては特定されていない。

したがって、「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャネル電界効果トランジスタ領域」が上記(2)に記載された電氣的な接続関係を満たす「レベルシフト」であれば、半導体基板において「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャネル電界効果トランジスタ領域」がどのような場所に形成され、互いにどのような位置関係を有するのかに関係がなく、本願発明の技術的範囲に含まれることは明らかであり、その一例として、「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャネル電界効果トランジスタ領域」が、上記(2)に記載された電氣的な接続関係を満たすものの、半導体基板において相互に分離されていない近接した位置に存在する「レベルシフト」も、本願発明の技術的範囲に含まれるものであることが明らかである。

(4) 一方、本願の発明の詳細な説明には、以下のように記載されている。

「【0001】

【発明の属する技術分野】

本発明はパワーデバイスの制御駆動用等に用いられるレベルシフトに関し、特に半導体基板上に形成されたレベルシフトに関する。」

「【0009】

【発明が解決しようとする課題】

しかし、従来の構成のレベルシフタでは信頼性が十分ではなく、高温、高湿条件下においてMOSFETに高バイアスが印加されるとMOSFETのしきい値を低下させ、それによりレベルシフタの耐圧を低下させてしまうという問題点がある。

【0010】

本発明はこのような点に鑑みなされたものであり、MOSFETへの高バイアス印加を低減させ、信頼性を向上させたレベルシフタを提供することを目的とする。」

「【0013】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

まず、本発明における第1の実施の形態について説明する。

【0014】

図2は、第1の実施の形態におけるレベルシフタ1の等価回路図である。

本形態はNチャネルレベルシフタの構成例であり、本形態のレベルシフタ1は、レベルシフト抵抗2、高耐圧ピンチ抵抗3、保護用ダイオード4及びNMOSFET5によって構成されている。ここで、レベルシフト抵抗2はその一方を直流中間電位を基準とする V_{float} 電位回路と電気的に接続し、他方をOUT端子及び高耐圧ピンチ抵抗3と電気的に接続されている。高耐圧ピンチ抵抗3はNMOSFET5のドレイン及び保護用ダイオード4のカソードと電気的に接続され、NMOSFET5のソース及び保護用ダイオード4のアノードはGNDに接続される。ここで、保護用ダイオード4にはNMOSFET5よりも耐圧が低いツェナダイオード等を用い、NMOSFET5に過電圧が印加されたときであってもNMOSFET5を保護できる構成とする。」

「【0021】

このように本形態では、P-型基板13の上面内部に第1分離領域14及び第2分離領域8を形成し、第1分離領域14内にソース5c、拡散領域15及びドレイン5bを形成してその上部にゲート5aを配置することによりNMOSFET5を形成し、第1分離領域14とは分

離された第2分離領域8内に高耐圧ピンチ抵抗3等の高電位部が配置され、ワイヤ18a、18bによりNMOSFET5と高電位部を接続することとしたため、高耐圧ピンチ抵抗3等の高電位部の影響によるNMOSFET5への高バイアス印加を低減させることが可能になり、これにより長期的な信頼性の向上を図ることができる。」

「【0025】

次に、本発明における第2の実施の形態について説明する。

図3は、第2の実施の形態におけるレベルシフト20の等価回路図である。

本形態はPチャネルレベルシフトの構成例であり、本形態のレベルシフト20は、レベルシフト抵抗24、高耐圧ピンチ抵抗23、保護用ダイオード22及びPMOSFET21によって構成されている。ここで、レベルシフト抵抗24はその一方をGNDに電氣的に接続され、他方をアウト端子及び高耐圧ピンチ抵抗23に電氣的に接続される。高耐圧ピンチ抵抗23は、保護用ダイオード22のアノード及びPMOSFET21のドレインに電氣的に接続され、PMOSFET21のソース及び保護用ダイオード22のカソードは直流中間電位を基準とする V_{float} 電位回路に電氣的に接続される。ここでも、保護用ダイオード22にはPMOSFET21よりも耐圧が低いツェナダイオード等を用い、PMOSFET21に過電圧が印加されたときであってもPMOSFET5を保護できる構成とする。」

「【0030】

このように本形態では、ドレイン21cからみて保護用ダイオードアノード22aで隔てた位置にP-領域33を配置し、P-領域33に接続された高耐圧ピンチ抵抗23の高電位側の引き出し端子であるP領域26とドレイン21cをワイヤ34aを介して電氣的に接続することとしたため、高耐圧ピンチ抵抗23の高電位部の影響によるPMOSFET21への高バイアス印加を低減することが可能になり、これにより長期的な信頼性の向上を図ることができる。」

「【0047】

【発明の効果】

以上説明したように本発明では、電界効果トランジスタをレベルシフト抵抗及び高耐圧ピン

チ抵抗等の高電位部から引き離して配置することとしたため、それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフトの長期的な信頼性を向上させることができる。」

(5) 以上より、発明の詳細な説明に記載されているのは、

「従来の構成のレベルシフトでは信頼性が十分ではなく、高温、高湿条件下においてMOS F E Tに高バイアスが印加されるとMOS F E Tのしきい値を低下させ、それによりレベルシフトの耐圧を低下させてしまうという」課題を解決するために、

「MOS F E Tへの高バイアス印加を低減させ、信頼性を向上させたレベルシフトを提供すること」を目的とし、

「電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置する」という構成を有し、

「高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフトの長期的な信頼性を向上させることができる」という効果を奏する

「レベルシフト」に関する発明であり、その実施の形態として発明の詳細な説明に記載されているものも、全て「電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置する」構成を有している。

したがって、上記(3)において例示した、本願発明の技術的範囲に含まれる、「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャンネル電界効果トランジスタ領域」が、上記(2)に記載された電気的な接続関係を満たすものの、半導体基板において相互に分離されていない近接した位置に存在する「レベルシフト」は、課題、目的、構成、実施の形態、効果のいずれの観点からみても、発明の詳細な説明の記載と対応しないものであるから、そのような「レベルシフト」は発明の詳細な説明に記載されておらず、かつ、発明の詳細な説明の記載から自明なものでもないことは明らかである。

したがって、本願発明は、発明の詳細な説明に記載されていない事項を技術的範囲に含むものであるから、発明の詳細な説明に記載されたものではない。

(6) なお、これに関連して、請求人は、請求の理由の「【本願が特許されるべき理由】」

において、「つまり、請求項１ではレベルシフト抵抗の他端と高耐圧ピンチ抵抗領域の一端との間に出力端子が接続されるのに対し、第１０図ではレベルシフト抵抗１０１とドレイン１０４ a の間に出力端子が接続されており構成が異なっている。更に、請求項１では高耐圧ピンチ抵抗領域の他端と電氣的にドレイン領域が接続されるのに対し、第１０図ではドレイン１０４ a と接続される側の高耐圧ピンチ抵抗領域を他端とすると高耐圧ピンチ抵抗領域の一端がソース１０２ c に接続されることになるので、この点からも明らかに異なっている。このように、請求項１と第１０図では、構成が相違している。この請求項１の各構成要件の接続関係は、『電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置する』という構成に回路的に合致しており、したがって、『それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフトの長期的な信頼性を向上させることができる』という明細書に記載の効果を奏することは明らかである。」と主張しているもので、これについて検討する。

確かに、本願発明（上記主張において「請求項１」と言及されているもの）と本願の図１０に記載された従来例（同じく「第１０図」と言及されているもの）に記載された従来技術との間には、出願人が主張するとおり、「請求項１ではレベルシフト抵抗の他端と高耐圧ピンチ抵抗領域の一端との間に出力端子が接続されるのに対し、第１０図ではレベルシフト抵抗１０１とドレイン１０４ a の間に出力端子が接続されており構成が異なっている。更に、請求項１では高耐圧ピンチ抵抗領域の他端と電氣的にドレイン領域が接続されるのに対し、第１０図ではドレイン１０４ a と接続される側の高耐圧ピンチ抵抗領域を他端とすると高耐圧ピンチ抵抗領域の一端がソース１０２ c に接続されることになる」という回路接続上の差異は存在している。

しかしながら、たとえ、そのような回路接続上の差異があったとしても、「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、及び「Nチャネル電界効果トランジスタ領域」が半導体基板において相互に分離されていない近接した位置に存在するような場合には、電界効果トランジスタへ高いバイアスが印加され、「それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフトの長期的な信頼性を向上させることができる」という明細書に記載の効果を奏することができないことは明らかである。

したがって、請求人の「この請求項1の各構成要件の接続関係は、『電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置する』という構成に回路的に合致しており、したがって、『それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフトの長期的な信頼性を向上させることができる』という明細書に記載の効果を奏することは明らかである。」という主張は、「レベルシフト抵抗」、「高耐圧ピンチ抵抗領域」、「Nチャネル電界効果トランジスタ領域」の回路的な接続関係と空間的な配置とを混同したものであり、採用することができない。

以上検討したとおり、本願発明は、発明の詳細な説明に記載されたものではないから、本願の請求項1の記載は、特許法36条6項1号に規定する要件を満たしていない。

第3 審決取消事由（特許法36条6項1号に規定する要件の具備についての判断の誤り）の要点

本願発明は、発明の詳細な説明に記載されたものであるから、審決は、特許法36条6項1号に規定する要件の具備についての判断を誤ったものであり、取り消されるべきである。

1 審決の理由(3)について

審決は、その理由(3)において、「本願発明における『レベルシフト抵抗』、『高耐圧ピンチ抵抗領域』、及び『Nチャネル電界効果トランジスタ領域』・・・は、上記(2)に記載された電氣的な接続関係が特定されているのみであり、その空間的な配置、すなわち、『半導体基板』において、『レベルシフト抵抗』、『高耐圧ピンチ抵抗領域』、及び『Nチャネル電界効果トランジスタ領域』がどのような場所に形成され、互いにどのような位置関係を有するのかについては特定されていない」と判断した。

しかしながら、本願発明は、本願に係る図2（以下、単に「図2」などというときは、本願に係る図面を指す。）に第1の実施の形態におけるレベルシフトの等価回路図が示されているとおり、レベルシフトの回路の接続関係に特徴があり、半導

体基板上で「レベルシフト抵抗」，「高耐圧ピンチ抵抗領域」及び「Nチャネル電界効果トランジスタ領域」（以下「本件3つの構成要素」ということがある。）をどのように接続するかについて明確に特定しているものであるから，審決の上記判断は誤りである。

2 審決の理由(5)及び(6)について

(1) 審決は，その理由(5)において，「本願発明の技術的範囲に含まれる，『レベルシフト抵抗』，『高耐圧ピンチ抵抗領域』，及び『Nチャネル電界効果トランジスタ領域』が・・・半導体基板において相互に分離されていない近接した位置に存在する『レベルシフト抵抗』は，課題，目的，構成，実施の形態，効果のいずれの観点からみても，発明の詳細な説明の記載と対応しないものであるから，そのような『レベルシフト抵抗』は発明の詳細な説明に記載されておらず，かつ，発明の詳細な説明の記載から自明なものでもないことは明らかである」とし，また，その理由(6)において，「本願発明・・・と本願の図10に記載された従来例・・・に記載された従来技術との間には，・・・回路接続上の差異は存在している。しかしながら，たとえ，そのような回路接続上の差異があったとしても，『レベルシフト抵抗』，『高耐圧ピンチ抵抗領域』，及び『Nチャネル電界効果トランジスタ領域』が半導体基板において相互に分離されていない近接した位置に存在するような場合には，電界効果トランジスタへ高いバイアスが印加され，『それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり，レベルシフト抵抗の長期的な信頼性を向上させることができる』という明細書に記載の効果奏することができないことは明らかである」と判断した。

(2) 図10に記載された従来例は，発明の詳細な説明の段落【0005】に記載されたとおり，高耐圧MOSFETのソース102cとドレイン104aの間に高耐圧ピンチ抵抗103が接続され，ドレイン104aが高耐圧ピンチ抵抗103の高電位側の引き出し端子となる回路構成，すなわち，高耐圧MOSFETのドレインに高電位が印加される回路構成を採っていたところ，この回路構成においては，

高耐圧MOSFETのドレインに高バイアスが印加されることから、従来例においては、「高温、高湿条件下においてMOSFETに高バイアスが印加されるとMOSFETのしきい値を低下させ、それによりレベルシフタの耐圧を低下させてしまう」との課題が存在した。

この課題を解決するため、本願発明は、請求項1に記載された回路接続関係を採用したものであるが、この回路接続関係においては、図2の等価回路図からも明らかなように、出力端子とNチャネルの電界効果トランジスタ領域のドレイン領域との間に高耐圧ピンチ抵抗3が接続されており、Nチャネルの電界効果トランジスタ領域のドレイン領域に接続されるのは、高耐圧ピンチ抵抗の低電位側となる。そうすると、本願発明において、「電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置する」との空間的な配置関係が採用されていることは明らかであり、また、電界効果トランジスタには低電位部が接続されているのであるから、本願発明が「それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフタの長期的な信頼性を向上させることができる」との発明の詳細な説明に記載された作用効果を奏することは明らかである。

審決の上記(1)の判断は、図10に示された従来例と図2に示された本願発明の第1の実施の形態との構成の相違を看過した結果、本願発明が奏する作用効果を看過してされたものであるから、誤りである。

第4 被告の反論の骨子（特許法36条6項1号に規定する要件の具備についての判断の誤りに対して）

- 1 原告の主張は争う。
- 2 被告の反論は、審決の理由（前記第2の3）を援用する。

第5 当裁判所の判断

1 取消事由（特許法36条6項1号に規定する要件の具備についての判断の誤り）について

(1) 本願発明について

ア 本願発明は、請求項 1（前記第 2 の 2）の記載から明らかとおり、本件 3 つの構成要素を含む各構成要素の相互関係については、単にそれらの電氣的な接続関係を規定したにとどまるものであるから、半導体基板上に形成されるパワーデバイス制御駆動用のレベルシフトであって、請求項 1 記載の電氣的な接続関係を有する同請求項記載の各構成要素を有し、これらの構成要素が半導体基板において相互に分離されていない近接した位置に存在する発明（以下「近接配置された本願発明」という。）を含むものと認められる。

イ 原告は、本願発明の回路接続関係に照らし、本願発明において、「電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置する」との空間的配置関係が採用されていることは明らかである旨主張するが、前記第 2 の 2 の請求項 1 の記載に照らすと、本願発明が、そのような空間的配置関係を有するものに限定されていることを窺わせる記載を見出すことはできないから、原告の上記主張を採用することはできない。

(2) 特許法 36 条 6 号 1 号の要件適合性について

そこで、以下、近接配置された本願発明につき、請求項 1 の記載が特許法 36 条 6 項 1 号の要件に適合するものであるか否かについて検討する。

ア 特許請求の範囲の記載が特許法 36 条 6 項 1 号に規定するいわゆるサポート要件に適合するものであるか否かについては、特許請求の範囲の記載と発明の詳細な説明の記載とを対比し、発明の詳細な説明に、当業者において当該発明の課題が解決されるものと認識することができる程度の記載ないし示唆があるか否か、又は、その程度の記載や示唆がなくても、特許出願時の技術水準に照らし、当業者において当該発明の課題が解決されるものと認識することができる程度の記載ないし示唆があるか否かを検討して判断すべきものと解するのが相当である。

イ そこで、発明の詳細な説明の記載をみるに、本願明細書には、次の各記載がある（なお、理解の便宜のため、発明の詳細な説明において引用される図面を適宜

示すこととする。)。

(F) 「【発明の属する技術分野】

本発明はパワーデバイスの制御駆動用等に用いられるレベルシフトに関し、特に半導体基板上に形成されたレベルシフトに関する。」(段落【0001】)

(I) 「【発明が解決しようとする課題】

しかし、従来の構成のレベルシフトでは信頼性が十分ではなく、高温、高湿条件下においてMOSFETに高バイアスが印加されるとMOSFETのしきい値を低下させ、それによりレベルシフトの耐圧を低下させてしまうという問題点がある。

本発明はこのような点に鑑みなされたものであり、MOSFETへの高バイアス印加を低減させ、信頼性を向上させたレベルシフトを提供することを目的とする。」(段落【0009】、【0010】)

(II) 「【課題を解決するための手段】

本発明では上記課題を解決するために、半導体基板上に形成されるパワーデバイス制御駆動用のレベルシフトにおいて、中間電圧回路と電氣的に一端が接続されるレベルシフト抵抗と、前記レベルシフト抵抗の他端と電氣的に一端が接続される高耐圧ピンチ抵抗領域と、前記レベルシフト抵抗の他端と前記高耐圧ピンチ抵抗領域の一端との間に接続される出力端子と、前記高耐圧ピンチ抵抗領域の他端と電氣的にドレイン領域が接続されるNチャネルの電界効果トランジスタ領域とを有し、前記電界効果トランジスタ領域のソース領域が低電位回路に接続されることを特徴とするレベルシフトが提供される。これにより、電界効果トランジスタ領域への高バイアス印加が抑えられる。」(段落【0011】)

(III) 「【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

まず、本発明における第1の実施の形態について説明する。

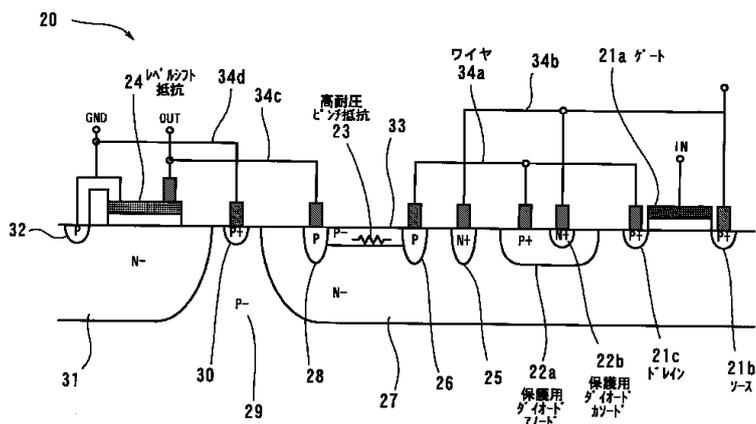
図2は、第1の実施の形態におけるレベルシフト1の等価回路図である。

本形態はNチャネルレベルシフトの構成例であり、本形態のレベルシフト1は、レベルシフト抵抗2、高耐圧ピンチ抵抗3、保護用ダイオード4及びNMOSFET5によって構成され

本形態はPチャネルレベルシフタの構成例であり，本形態のレベルシフタ20は，レベルシフト抵抗24，高耐圧ピンチ抵抗23，保護用ダイオード22及びPMOSFET21によって構成されている。ここで，レベルシフト抵抗24はその一方をGNDに電氣的に接続され，他方をアウト端子及び高耐圧ピンチ抵抗23に電氣的に接続される。高耐圧ピンチ抵抗23は，保護用ダイオード22のアノード及びPMOSFET21のドレインに電氣的に接続され，PMOSFET21のソース及び保護用ダイオード22のカソードは直流中間電位を基準とする V_{float} 電位回路に電氣的に接続される。ここでも，保護用ダイオード22にはPMOSFET21よりも耐圧が低いツェナダイオード等を用い，PMOSFET21に過電圧が印加されたときであってもPMOSFET5を保護できる構成とする。

図4は，レベルシフタ20の実際の構成を示す断面構成図である。

レベルシフタ20は，P-型基板29上面内部に構成された第1分離領域31，第2分離領域27，ソース21b，ドレイン21c，保護用ダイオードアノード22a，保護用ダイオードカソード22b，N+領域25，P領域26，28，P-領域33，P領域32及びP+領域30並びにそれらの表面に配置されたワイヤ34a，34b，34c，34d，ゲート21a，レベルシフト抵抗24により構成されている。」(段落【0025】，【0026】)



(*)「このように本形態では，ドレイン21cからみて保護用ダイオードアノード22aで隔てた位置にP-領域33を配置し，P-領域33に接続された高耐圧ピンチ抵抗23の高電位側の引き出し端子であるP領域26とドレイン21cをワイヤ34aを介して電氣的に接続することとしたため，高耐圧ピンチ抵抗23の高電位部の影響によるPMOSFET21への高バイアス印加を低減することが可能になり，これにより長期的な信頼性の向上を図ることができる。」(段落【0030】)

(ク)「次に、本発明における第 3 の実施の形態について説明する。

本形態は、第 1 の実施の形態における高耐圧ピンチ抵抗部の変形例であり、高耐圧ピンチ抵抗部以外は第 1 の実施の形態と同一構成とする。」(段落【0034】)

(ケ)「次に、本発明における第 4 の実施の形態について説明する。

図 6 は、本形態における高耐圧ピンチ抵抗部を示した断面構成図である。

本形態は、第 2 の実施の形態における高耐圧ピンチ抵抗部の変形例であり、第 2 の実施の形態で用いた P - 型基板を N - 型基板 6 4 に置き換えたものである。」(段落【0036】)

(コ)「次に、本発明における第 5 の実施の形態について説明する。

第 5 の実施の形態は第 1 の実施の形態の変形例であり、第 1 の実施の形態におけるレベルシフトのレベルシフト抵抗付近の構成を変更したものである。その他については第 1 の実施の形態と同一構成とする。」(段落【0037】)

(サ)「次に、本発明における第 6 の実施の形態について説明する。

第 6 の実施の形態は第 2 の実施の形態の変形例であり、第 2 の実施の形態における GND 端子引き出し部である P + 領域 3 0 付近の構成を変更したものである。その他については第 2 の実施の形態と同一構成とする。」(段落【0041】)

(シ)「次に、本発明における第 7 の実施の形態について説明する。

本形態は、第 1 の実施の形態における第 2 分離領域 8 及び第 2 の実施の形態における第 2 分離領域 2 7 を共有化したものである。」(段落【0044】)

(ス)「【発明の効果】

以上説明したように本発明では、電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置することとしたため、それらの高電位部からの影響による電界効果トランジスタへの高バイアス印加を低減することが可能となり、レベルシフトの長期的な信頼性を向上させることができる。」(段落【0047】)

ウ 上記イによれば、本願発明が解決すべき課題は、電界効果トランジスタ (MOSFET) への高バイアス印加の低減であると認められるところ、発明の詳細な説明の段落【0047】の記載 (上記イ(ス))によれば、同課題は、「電界効果ト

ランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置することとしたため」に解決されるものであり、また、発明の詳細な説明に記載された各実施例をみても、それらはいずれも、高電位部と分離され、又は高電位部から隔てられた領域ないし位置に電界効果トランジスタを配置する構成であると認められる。

他方、近接配置された本願発明については、当業者において上記課題が解決されるものと認識することができることを窺わせる記載は、上記イを含め発明の詳細な説明に何ら存在せず（なお、段落【0011】（上記イ(ウ)）は、請求項1の記載（本願発明の構成）を再掲した上、その効果を結論的に述べるものにすぎない。）、また、本願当時の当業者の技術常識に照らし、当業者において、そのように認識することができたものと認めるに足りる証拠もない。

したがって、近接配置された本願発明について、サポート要件を充足するものと認めることはできない。

エ 原告は、本願発明においては、電界効果トランジスタに低電位部が接続されているのであるから、本願発明が上記課題を解決するものであることは明らかである旨主張するが、上記のとおり、発明の詳細な説明の段落【0047】（上記イ(ス)）には、上記課題が「電界効果トランジスタをレベルシフト抵抗及び高耐圧ピンチ抵抗等の高電位部から引き離して配置することとしたため」に解決されたものである旨明記されているところであり、その他、単に「電界効果トランジスタに低電位部が接続されている」との構成を採用することにより上記課題が解決されるものと認めるに足りる証拠はないから、原告の上記主張を採用することはできない。

(3) 以上のとおりであるから、取消事由は理由がない。

2 結論

よって、原告の請求は理由がないから、同請求を棄却することとして、主文のとおり判決する。

知的財産高等裁判所第4部

裁判長裁判官

田 中 信 義

裁判官

浅 井 憲

裁判官

杜 下 弘 記